

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-304277

(43)Date of publication of application : 16.11.1993

(51)Int.Cl.

H01L 27/115
H01L 27/112

(21)Application number : 04-110050

(71)Applicant : ROHM CO LTD

(22)Date of filing : 28.04.1992

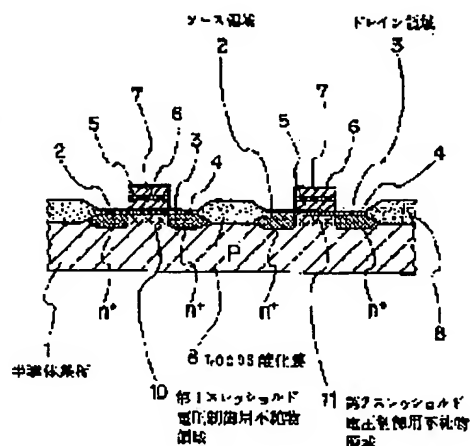
(72)Inventor : YAMAMOTO HIROTAKE
OJI HIROSHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To enable read without write after products by introducing impurities controlling threshold voltage into a read-only memory element and writing two states.

CONSTITUTION: Impurities controlling first threshold voltage for forming the state of 1 are introduced into the position of the formation of a ROM element, and a P+ type first threshold voltage controlling impurity region 10 is formed. Impurities controlling second threshold voltage are induced into a section, in which the state of 0 is written, in a ROM element section, and a second threshold voltage controlling impurity region 11 in high concentration is formed. A first polysilicon film 5, an inter-layer insulating film 6 and a second polysilicon film 7 are shaped in the same process as other flash memory elements, thus forming a gate electrode. Accordingly, a semiconductor device, to which the flash memory elements and the previously written ROM element are also shaped, is obtained only by adding impurity introducing processes in two processes to a conventional manufacturing process.



LEGAL STATUS

[Date of request for examination] 26.04.1999

[Date of sending the examiner's decision of rejection] 09.10.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-304277

(43)公開日 平成5年(1993)11月16日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/115 27/112		8728-4M 8728-4M	H 0 1 L 27/ 10	4 3 4 4 3 3

審査請求 未請求 請求項の数2(全 4 頁)

(21)出願番号 特願平4-110050

(22)出願日 平成4年(1992)4月28日

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院薄崎町21番地

(72)発明者 山本 浩賢

京都市右京区西院薄崎町21番地 ローム株式会社内

(72)発明者 大路 洋

京都市右京区西院薄崎町21番地 ローム株式会社内

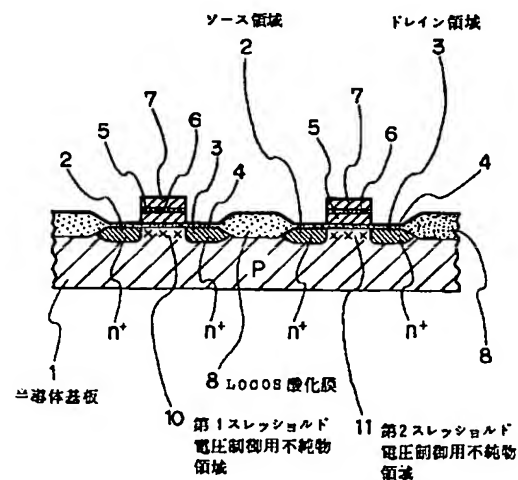
(74)代理人 弁理士 朝日奈 宗太 (外2名)

(54)【発明の名称】 半導体装置の製法

(57)【要約】

【目的】 フラッシュメモリ素子と読出し専用メモリ素子とを併有する半導体装置の読出し専用メモリ素子を半導体装置の製造工程中に書き込んで、製品化後に書き込まなくても読み出せる半導体装置の簡単な製法を提供する。

【構成】 フラッシュメモリの製造工程中で、ゲート電極5(フローティングゲート)形成前にROM素子部分のみ第1のスレッシュホールド電圧制御用不純物を導入する工程と第2のスレッシュホールド電圧制御用不純物を導入する工程とを追加してROM素子部分の書き込みを行い、他はフラッシュメモリ素子と同じ工程で製造する。



【特許請求の範囲】

【請求項1】 電気的に書き込み、読出し、消去可能な不揮発性メモリ素子と読出し専用のメモリ素子とを有する半導体装置の製法であって、前記読出し専用のメモリ素子がスレッシュホールド電圧を制御する不純物の導入により「0」または「1」の2状態の書き込みが行われ、他の工程は前記不揮発性メモリ素子と同一工程で形成されてなる半導体装置の製法。

【請求項2】 前記読出し専用のメモリ素子の2状態の書き込みが、半導体基板に各素子間分離絶縁膜形成後前記読出し専用メモリ素子部分全体に不純物が導入されて第1のスレッシュホールド電圧を制御し、さらに第2の状態を書き込み読出し専用メモリ素子部分のみを露出して前記不純物が導入されて第2のスレッシュホールド電圧を制御してなされることを特徴とする請求項1記載の半導体装置の製法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製法に関する。さらに詳しくは、不揮発性メモリ（フラッシュメモリ）素子を有する半導体装置の中に読出し専用（ROM）素子を作り込む半導体装置の製法に関する。

【0002】

【従来の技術】 従来より、電気的に書き込み、読出し、消去可能な不揮発性メモリとして、フローティングゲート蓄積形のメモリ素子が用いられており、この種フラッシュメモリ素子のゲート構造としては、フローティングゲートおよびコントロールゲートがポリシリコン膜により形成され、その2層間にシリコン酸化膜や窒化膜などからなる層間膜が配設されたポリシリコン膜-絶縁膜-ポリシリコン膜の構造とされている。

【0003】 このようなフラッシュメモリ素子の構造を図5に示す。図5において、半導体基板1の表面にゲート絶縁膜としてのシリコン酸化膜4が形成され、その上に順次ポリシリコン膜からなるフローティングゲート5、シリコン酸化膜からなる層間膜6、ポリシリコン膜からなるコントロールゲート7が積層されてゲート電極の両側のp型のシリコン半導体基板1にn型の不純物拡散領域が形成されてソース領域2、ドレイン領域3が形成されている。

【0004】 また基板表面には素子間分離用のLOCOS酸化膜8が形成され、さらにソース領域2の下層には耐圧を向上させるためにn⁻の低濃度領域9が形成されている。叙上のように構成されるフラッシュメモリ素子にデータの書き込みを行うばあい、ドレイン領域3とコントロールゲート7のあいだに電圧を印加してフローティングゲート5へ電子を注入し、注入量を2種類に変えて「1」の状態と「0」の状態の書き込み操作を行っている。

【0005】 このフラッシュメモリ素子は、フローティ

ングゲート5に注入したホットエレクトロンをコントロールゲート7とソース領域2間に逆の電圧を印加することによりホットエレクトロンが排出され、記憶の消が行われ、再度書き込みをすることができる。

【0006】 従来、この書き込み、消去が可能なフラッシュメモリ素子と一旦書き込めば消去しないで読出し専用とするメモリ素子（ROM）を1つの半導体装置の中に併存されるばあいが多く、半導体装置の製造プロセス簡略化のため、ROMを形成するばあいもすべて書き込み、消去可能なフラッシュメモリとして製造され、半導体装置の製品化後に電気的に書き込んでROMとして使用されている。

【0007】

【発明が解決しようとする課題】 従来のフラッシュメモリ素子とROM素子を有する半導体装置では前述のように両メモリ素子が同一工程で製造されているため、ROMについても一旦書き込みを行わないとメモリとして使用することができず、使用段階で書き込みを行わなければならないという問題がある。

【0008】 本発明では叙上の問題を解消するため、フラッシュメモリ素子を有する半導体装置の中に、半導体装置の製造プロセスで書き込み操作を行ってROM素子を作製する半導体装置の製法を提供することを目的とする。

【0009】

【課題を解決するための手段】 本発明の半導体装置の製法は、電気的に書き込み、読出し、消去可能な不揮発性メモリ素子と読出し専用のメモリ素子とを有する半導体装置の製法であって、前記読出し専用のメモリ素子がスレッシュホールド電圧を制御する不純物の導入により「0」または「1」の2状態の書き込みが行われ、他の工程は前記不揮発性メモリ素子と同一工程で形成されてなるものである。

【0010】

【作用】 本発明によれば、通常のフラッシュメモリ素子の製造工程の途中で、ゲート電極形成前に不純物のイオン注入の工程を2回増やしてゲート電極下の不純物濃度を異ならせているため、スレッシュホールド電圧が変えられ、「1」の状態と「0」の状態を半導体装置の製造プロセス中に書き込むことができ、製品後の書き込みを行わなくても、ただちにROMとして作動する。

【0011】 また半導体装置の中に、書き込み可能なフラッシュメモリ素子の部分も通常の製造工程のままで形成でき、フラッシュメモリ素子は従来通り形成でき、フラッシュメモリ素子と半導体装置の製造プロセスで書き込みを行ったROMを併用した半導体装置が容易にえられる。

【0012】

【実施例】 本発明によるフラッシュメモリ素子とROM素子を有する半導体装置のROM素子部分について、

「1」の状態と「0」の状態を形成する方法を図面を参照しながら説明する。

【0013】まず、図1に示すように半導体基板1の表面に素子間分離用のLOCOS酸化膜8を熱酸化法などにより、各素子間に形成して素子間分離を行う。この形成はたとえば、p型半導体基板1に周知のチャッパ膜など酸化防止膜をLOCOS酸化膜8形成場所以外に形成して約1100°Cで約90分間の熱処理により行う。

【0014】つぎに、ROM素子形成場所に「1」の状態を形成するための第1のスレッシュホールド電圧を制御する不純物を導入する。具体的には、図2に示すように前記半導体基板1の表面からボロンなどのp型の不純物を全面に打込む。これにより、不純物は膜厚の薄いシリコン酸化膜4を通過して下層の半導体基板内部に導入されp⁺型の第1のスレッシュホールド電圧制御用不純物領域10を形成する。ボロンの打込み条件は、たとえば打込みエネルギーが40~50keV、ドーズ量1E12~3E12atoms/cm²で行われ、10¹⁶~10¹⁷/cm³の高濃度の第1のスレッシュホールド電圧制御用不純物領域10が形成され、スレッシュホールド電圧を1Vにすることができる。

【0015】つぎに、ROM素子部分で第2の状態である「0」の状態を書き込む部分のみが露出するように他をマスクして、第2のスレッシュホールド電圧を制御する不純物を導入する。具体例としては、図3に示すように、「1」の状態を形成する左側のセル部分上部をレジスト膜12により被覆したのち、再度ボロンイオンの打込みを行う。ボロンイオンの打込み条件は、たとえば打込みエネルギー40~50keV、ドーズ量5E12~1E13atoms/cm²で打込むことにより、「0」の状態を形成する右側のセル部分にさらに高濃度の第2のスレッシュホールド電圧制御用不純物領域11が形成される。その濃度は10¹⁷~10¹⁸/cm³程度に増し、スレッシュホールド電圧を7V位にすることができる。以上の2条件で不純物を導入することにより、「1」の状態と「0」の状態の2状態の書き込みができる。

【0016】そののち、他のフラッシュメモリ素子と同じ工程で、第1のポリシリコン膜5、層間絶縁膜6、第2のポリシリコン膜7が順次形成され、パターニングによりゲート電極が形成される。ROM素子としてはゲート電極は1層で形成されればよく、このような形成に必要はないのであるが、この半導体装置の他のセル部分にはフラッシュメモリ素子が形成されており、ROM素子形成のための単独の製造工程を最小限に抑えるのが本発明の目的であるため、フラッシュメモリ素子と同工程で形成している。すなわち、第1のポリシリコン膜がフラッシュメモリ素子でフローティングゲートになり、第2のポリシリコン膜がフラッシュメモリ素子でのコントロールゲートになるものである。この構成でROM素子のゲート電極も第1のポリシリコン膜5と第2のポリシリコン膜7の2層で形成されるが、第1のポリシリコ

ン膜にエレクトロン注入は行われず、第2のポリシリコン膜に制御電圧が印加されれば、層間膜6を介して第1のポリシリコン膜に電子が誘起され誘起された電子がさらにゲート絶縁膜4を介してチャネル領域に作用し、「1」、「0」の状態を読み出すことができ、ROM素子としての動作に何ら不都合はない。

【0017】さらにそののち、前述の不純物と異なる導電型の不純物が前記ゲート電極の両側に形成され、ソース領域2、ドレイン領域3としてトランジスタ部分が構成される。

【0018】具体例としては、図4に示すように、CVD法などにより第1のポリシリコン膜5、シリコン酸化膜またはシリコンチャッパ膜などの層間膜6、第2のポリシリコン膜7がそれぞれ0.2μm、0.03μm、0.4μmの厚さで順次既知の方法により形成され、パターニングされて図4に示すように、チャネル領域（スレッシュホールド電圧制御用不純物領域）10、11上にゲート電極として形成される。さらに、たとえばリンイオンがイオン打込みされることにより、チャネル領域の両側にn⁺型の高濃度不純物領域が形成されてそれぞれソース領域2、ドレイン領域3が形成され、ROM素子が形成される。

【0019】このソース領域2、ドレイン領域3はフラッシュメモリ素子でも同様に形成され、全く同じ工程で形成される。また他の電極膜などのすべての製造工程は従来のフラッシュメモリ素子の製造工程と同じである。したがって、本発明によれば、従来のフラッシュメモリ素子を有する半導体装置の製造工程に、2工程の不純物導入工程を追加するだけで、フラッシュメモリ素子のみならず書き込み済みのROM素子も形成された半導体装置がえられる。

【0020】なお、前述の実施例では不純物の導入をイオン注入で行う例で説明したが、イオン注入法に限らず、他の拡散などにより不純物が導入されてもよい。

【0021】

【発明の効果】本発明によれば、フラッシュメモリ素子と読出し専用メモリ素子を有する半導体装置の製造工程で、わずかの工程を追加するだけで書き込み済みの読出し専用のメモリ素子が形成され、使用段階で書き込みをしなくても直ちに読出しを行うことができ、使用し易いという効果がある。

【0022】さらにこのROM素子部分は書き込みの必要がないため、ゲート絶縁膜を薄く制御する必要がなく（従来100±10オングストロームに形成しなければならなかったのが200~300オングストロームの範囲でよい）、他の周辺トランジスタのゲート絶縁膜と同様に形成すればよく、製造作業がし易く信頼性も向上する。

【0023】さらに、このROM素子部分ではデータの消去の必要もないため、ソース領域に高耐圧がかかることなく、ソース領域に高耐圧用の低濃度領域を形成する必要もなく、製造条件が簡略化される。

【図面の簡単な説明】

【図1】本発明の半導体装置の2つの状態のROM素子部分の製造工程を示す断面説明図である。

【図2】本発明の半導体装置の2つの状態のROM素子部分の製造工程を示す断面説明図である。

【図3】本発明の半導体装置の2つの状態のROM素子部分の製造工程を示す断面説明図である。

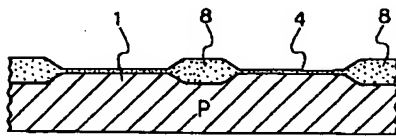
【図4】本発明の半導体装置の2つの状態のROM素子部分の製造工程の最終工程を示す断面説明図である。 *

*【図5】従来のフラッシュメモリ素子の構造を示す断面説明図である。

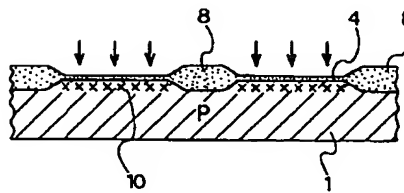
【符号の説明】

- 1 半導体基板
- 2 ソース領域
- 3 ドレイン領域
- 8 LOCOS酸化膜
- 10 第1スレッショルド電圧制御用不純物領域
- 11 第2スレッショルド電圧制御用不純物領域

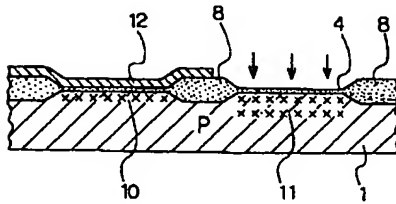
【図1】



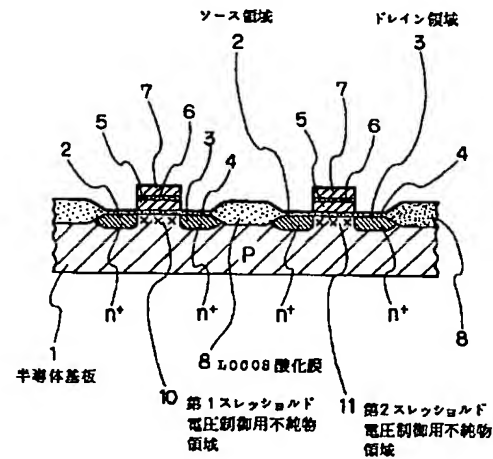
【図2】



【図3】



【図4】



【図5】

